




PATENT  
Docket No. 20067/OPP030889US

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant: Gyung-Su CHO	)	I hereby certify that the documents
	)	referred to as enclosed herewith are
Serial No.: 10/676,645	)	being deposited with the United States
	)	Postal Service, first class postage
Filed: October 1, 2003	)	prepaid, in an envelope addressed to
	)	the Commissioner for Patents, P.O.
For: "Semiconductor Device and	)	Box 1450, Alexandria, Virginia
Fabrication Method Thereof"	)	22313-1450 on this date:
	)	
Group Art Unit: Unknown	)	<b>October 22, 2003</b>
	)	
Examiner: Unknown	)	
	)	Mark G. Hanley
	)	Reg. No. 44,736

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

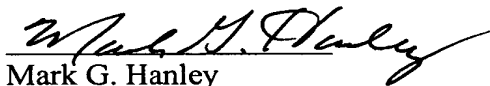
Enclosed herewith is a certified copy of Korean Patent Application Serial No.

10-2002-0060303 filed October 02, 2002, the priority of which is claimed under 35

U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:   
Mark G. Hanley  
Registration No.: 44,736

**October 22, 2003**

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

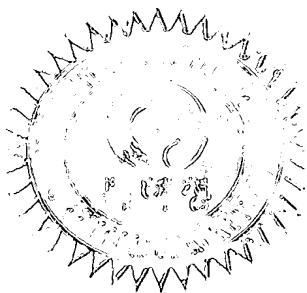
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0060303  
Application Number

출원년월일 : 2002년 10월 02일  
Date of Application OCT 02, 2002

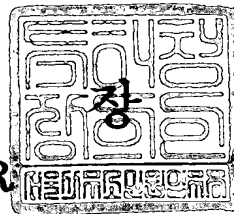
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003    년    08    월    29    일

특    허    청

COMMISSIONER



**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0001
<b>【제출일자】</b>	2002.10.02
<b>【발명의 명칭】</b>	반도체 소자 및 그 제조 방법
<b>【발명의 영문명칭】</b>	Semiconductor device and fabrication method thereof
<b>【출원인】</b>	
<b>【명칭】</b>	아남반도체 주식회사
<b>【출원인코드】</b>	1-1998-002671-9
<b>【대리인】</b>	
<b>【명칭】</b>	유미특허법인
<b>【대리인코드】</b>	9-2001-100003-6
<b>【지정된변리사】</b>	오원석
<b>【포괄위임등록번호】</b>	2001-041985-8
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	조경수
<b>【성명의 영문표기】</b>	CHO, GYUNG SU
<b>【주민등록번호】</b>	611021-1011917
<b>【우편번호】</b>	420-709
<b>【주소】</b>	경기도 부천시 원미구 상동 417번지 사랑마을 1622동 1901호
<b>【국적】</b>	KR
<b>【심사청구】</b>	청구
<b>【취지】</b>	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)

**【수수료】**

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 586,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 소자 및 그 제조 방법에 관한 것으로, 그 목적은 구리를 최상층 금속배선으로 사용하면서도 본딩 불량을 일으키지 않는 본딩 패드를 형성하는 데 있다. 이를 위해 본 발명에서는 반도체 기판 상에서 절연막의 소정영역이 식각되어 비아를 이루고 비아 내에 구리배선이 충전되어 있는 구조에서, 구리배선 및 절연막의 상부 전면에 용융점이 1000℃ 이하인 저융점금속으로 이루어진 저융점 금속막을 형성하는 단계; 열처리를 수행하고 열처리 중에 저융점금속막과 구리배선을 반응시켜 저융점금속막과 구리배선의 계면에 반응금속막을 형성하는 단계; 절연막이 노출될 때까지 화학기계적 연마하여 비아 내부에만 반응금속막이 남도록 하는 단계; 절연막 및 반응금속막 상에 보호막을 형성하고 보호막의 소정영역을 식각하여 반응금속막의 소정영역을 노출시키는 패드를 형성하는 단계를 포함하여 반도체 소자를 제조한다.

**【대표도】**

도 1f

**【색인어】**

패드, 구리배선, 저융점금속막

**【명세서】**

**【발명의 명칭】**

반도체 소자 및 그 제조 방법 {Semiconductor device and fabrication method thereof}

**【도면의 간단한 설명】**

도 1a 내지 1f는 본 발명에 따른 반도체 소자의 패드 형성 방법을 도시한 단면도이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<2> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 본딩패드를 형성하는 방법에 관한 것이다.

<3> 통상적으로 본딩패드는 반도체 소자와 패키지를 연결해주는 단자로서의 역할을 하는 것으로, 소자의 최상층 금속배선이 일정 부분 노출된 패드를 패키지 후 핀(pin)으로 사용되는 부분과 상호 연결시켜주는 본딩 작업을 통해 반도체 소자의 배선을 전원 공급장치와 같은 외부와 전기적으로 접속하는 것이다.

<4> 이러한 본딩패드를 이루는 금속박막은 그 표면에 이물질이 없고 산화막이 형성되지 않아야 본딩 작업이 원활하게 이루어진다.

<5> 그러나 종래기술에서는 금속배선의 표면이 산화되거나 또는 금속박막의 표면에 리프랙토리(refractory) 금속이 잔존하여, 본딩이 제대로 이루어지지 않고 본딩라인이 이탈하는 등의 문제점이 발생하였다.

<6> 특히, 금속배선으로서 구리를 사용할 경우, 구리의 강한 부식성으로 인해 대기 중에 노출시 본딩 자체가 어려워지는 문제점이 있어서, 구리의 낮은 저항값으로 인한 소자의 구동 속도 증가와 같은 장점이 있음에도 불구하고 최상층 금속배선으로 구리를 사용하는 것이 거의 불가능한 실정이며, 구리를 사용한다 하여도 본딩 불량률이 매우 높은 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<7> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 구리를 최상층 금속배선으로 사용하면서도 본딩 불량을 일으키지 않는 본딩 패드를 형성하는 데 있다.

**【발명의 구성 및 작용】**

<8> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 반도체 기판 상에 형성된 구리배선의 소정영역이 보호막으로부터 노출되어 패드를 이루는 구조에서, 패드를 통해 노출된 구리배선의 최상층으로부터 소정두께가, 용융점이 1000℃ 이하인 저융점금속과 구리배선의 반응에 의해 형성된 반응금속막으로 형성된 것을 특징이다.

<9> 또한, 본 발명에 따른 반도체 소자 제조 방법은, 반도체 기판 상에서 절연막의 소정영역이 식각되어 비아를 이루고 비아 내에 구리배선이 충전되어 있는

구조에서, 구리배선 및 절연막의 상부 전면에 용융점이 1000℃ 이하인 저융점금속으로 이루어진 저융점금속막을 형성하는 단계; 열처리를 수행하고 열처리 중에 저융점금속막과 구리배선을 반응시켜 저융점금속막과 구리배선의 계면에 반응금속막을 형성하는 단계; 절연막이 노출될 때까지 화학기계적 연마하여 비아 내부에만 반응금속막이 남도록 하는 단계; 절연막 및 반응금속막 상에 보호막을 형성하고 보호막의 소정영역을 식각하여 반응금속막의 소정영역을 노출시키는 패드를 형성하는 단계를 포함하여 이루어진다.

<10> 이 때, 저융점금속막을 형성할 때에는, 알루미늄, 납, 및 은으로 이루어진 군에서 선택된 하나를 300℃ 이하의 온도에서 스퍼터링 방법을 이용하여 구리배선보다 얇은 두께로 증착하는 것이 바람직하다.

<11> 또한, 반응금속막 형성을 위한 열처리는 350~450℃의 온도에서 10분 내지 60분의 시간동안 수행하는 것이 바람직하다.

<12> 그러면, 본 발명에 따른 반도체 소자 및 그 제조 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

<13> 먼저, 본 발명에 따른 반도체 소자는 도 1f에 도시된 바와 같이, 반도체 기판(1) 상에 형성된 구리배선(3)의 소정영역이 보호막(6)으로부터 노출되어 패드(200)를 이루는 구조에서, 패드(200)를 통해 노출된 구리배선(3)의 최상층으로부터 소정두께가, 용융점이 1000℃ 이하인 저융점금속과 구리배선의 반응에 의해 형성된 반응금속막(5)으로 형성되어 있다.



- <14> 여기서, 저융점금속으로는 알루미늄, 납, 또는 은 등을 이용할 수 있으며, 반응금속막(5)의 두께는 구리배선(3)의 두께보다 얇은 것이 바람직하다.
- <15> 보호막(6)으로는 실리콘나이트라이드 또는 실리콘옥시나이트라이드 등을 이용할 수 있다.
- <16> 그리고, 비아의 내벽에는 구리배선(3)이 절연막(2) 내로 확산해 들어가는 것을 방지하기 위해 Ti, Ta, TiN, 또는 TaN 등으로 이루어진 리프렉토리금속막이 형성되고, 리프렉토리금속막 상에 구리배선이 형성될 수 있다. 이 때 리프렉토리금속막은 200 내지 800 Å의 두께인 것이 바람직하다.
- <17> 상술한 바와 같은, 본 발명에 따른 반도체 소자를 제조하는 방법을 설명하면 다음과 같다. 도 1a 내지 1f는 본 발명에 따른 반도체 소자의 패드 형성 방법을 도시한 단면도이다.
- <18> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판의 구조물(1), 즉 개별 소자가 형성된 반도체 기판 또는 하부 금속 배선층 상부에 산화막 등으로 이루어진 절연막(2)을 형성하고, 절연막(2)의 소정영역을 선택적으로 식각하여 비아(100)를 형성한다. 이어서, 비아(100)를 포함한 절연막(2) 상부에 비아(100)를 완전히 충전하도록 구리막(3)을 소정두께 증착한다.
- <19> 구리막(3)의 증착 전에, 비아(100)를 포함한 절연막(2)의 상부에 Ta, Ti, TaN, TiN 등과 같은 리프렉토리금속으로 이루어진 확산방지막을 200 내지 800 Å의 두께로 증착하여, 구리막(3)이 절연막(2)으로 확산하여 침투해들어가는 것을 방지할 수 있으며, 바람직하게는 확산방지막을 500 Å의 두께로 형성할 수 있다.

- <20> 다음, 도 1b에 도시된 바와 같이, 절연막(2)이 노출될 때까지 화학기계적 연마하여 상면을 평탄화한 다음, 세정공정을 수행한다. 이어서, 상면이 평탄화된 구리막(3) 및 절연막(2) 상에 저융점금속물질로 이루어진 저융점금속막(4)을 스퍼터링 방법으로 소정 두께 형성한다.
- <21> 저융점금속막(4)은 용융점이  $1000^{\circ}\text{C}$  이하인 금속으로 이루어지며, 이러한 저융점금속으로는 알루미늄, 납, 은 등을 이용할 수 있다. 저융점금속막(4)은 구리막(3)보다 얇은 두께로 형성하여 이후 반응금속막이 필요이상 두껍게 형성되지 않고 필요한 만큼의 두께로만 형성되도록 한다. 저융점금속막(4)을 증착할 때에는  $300^{\circ}\text{C}$  이하의 비교적 낮은 온도에서 증착하는 것이 바람직하다.
- <22> 다음, 도 1c에 도시된 바와 같이, 열처리를 수행하여 구리막(3)과 알루미늄막(4)이 서로 접촉하는 계면에서 상호 반응하여 반응금속막(5)이 형성되도록 한다. 비아(100) 내부의 구리막(3)에 형성된 반응금속막(5)은 비아(100) 내부의 잔존 구리막(3) 보다 얇은 두께로 형성되도록 한다.
- <23> 열처리는  $350\sim 450^{\circ}\text{C}$  정도의 온도에서 10분 내지 60분의 시간동안 수행하며, 바람직하게는  $400^{\circ}\text{C}$ 에서 30분 동안 열처리한다.
- <24> 다음, 도 1d에 도시된 바와 같이, 절연막(2)이 노출될 때까지 화학기계적 연마하여 비아(100) 내부에만 반응금속막(5)을 남기고 비아 이외의 영역에 형성된 반응금속막(5) 및 알루미늄막(4)을 모두 제거하고 상면을 평탄화한 다음, 세정공정을 수행한다.

- <25> 이후에 열처리를 대략 250~350℃ 정도의 온도에서 10분 내지 60분의 시간동안 수행할 수 있으며, 바람직하게는 300℃에서 30분 동안 열처리한다.
- <26> 다음, 도 1e에 도시된 바와 같이, 상면이 평탄화된 반응금속막(5) 및 절연막(2) 상에 보호막(6)을 형성한 다음, 보호막(6) 상에 감광막을 도포하고 노광 및 현상하여 패드로 형성될 영역의 감광막이 제거된 감광막 패턴(7)을 형성한다.
- <27> 보호막(6)으로는 실리콘나이트라이드 또는 실리콘옥시나이트라이드를 형성할 수 있다.
- <28> 다음, 도 1f에 도시된 바와 같이, 감광막 패턴(7)을 마스크로 하여 노출된 보호막(6)을 건식식각한 후, 감광막 패턴(7)을 제거하고 세정공정을 수행하며, 이로써 반응금속막(5)을 노출시키는 패드(200)의 형성을 완료한다.
- <29> 이 때 패드(200)의 폭을 결정하는 감광막 패턴(7)의 오프닝폭은 비아(100)의 폭보다 좁게 하여, 패드(200) 형성을 위한 보호막(6) 식각시 비아(100) 측면의 절연막(2)이 식각되지 않도록 하는 것이 바람직하다.

#### 【발명의 효과】

- <30> 상술한 바와 같이, 본 발명에서는 구리배선 상에 저융점금속막을 형성한 후 열처리하여 구리배선과 저융점금속막의 상호반응에 의한 반응금속막을 형성하므로, 패드를 통해 구리배선이 그대로 노출되는 것을 방지하여 구리배선의 부식을 방지하고 이로 인해 본딩 불량률이 감소되는 효과가 있으며, 따라서 소자의 신뢰성이 향상되는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 형성된 구리배선의 소정영역이 보호막으로부터 노출되어 패드를 이루는 구조에서,

상기 패드를 통해 노출된 구리배선의 최상층으로부터 소정두께가, 용융점이 1000℃ 이하인 저융점금속과 상기 구리배선의 반응에 의해 형성된 반응금속막으로 형성된 것을 특징으로 하는 반도체 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 저융점금속은 알루미늄, 납, 및 은으로 이루어진 군에서 선택된 하나인 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 반응금속막의 두께는 상기 구리배선의 두께보다 얇은 것을 특징으로 하는 반도체 소자.

**【청구항 4】**

제 1 항에 있어서,

상기 보호막은 실리콘나이트라이드 및 실리콘옥시나이트라이드 중의 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자.

**【청구항 5】**

제 1 항에 있어서,

상기 비아의 내벽에는 구리배선의 확산방지를 위해 Ti, Ta, TiN, 및 TaN 으  
로 이루어진 군에서 선택된 하나로 이루어진 리프렉토리금속막이 형성되고, 상기  
리프렉토리금속막 상에 상기 구리배선이 형성된 것을 특징으로 하는 반도체 소  
자.

**【청구항 6】**

제 5 항에 있어서,

상기 리프렉토리금속막은 200 내지 800Å의 두께인 것을 특징으로 하는 반  
도체 소자.

**【청구항 7】**

반도체 기판 상에서 절연막의 소정영역이 식각되어 비아를 이루고 상기 비  
아 내에 구리배선이 충전되어 있는 구조에서, 상기 구리배선 및 절연막의 상부  
전면에 용융점이 1000℃ 이하인 저융점금속으로 이루어진 저융점금속막을 형성하  
는 단계;

열처리를 수행하고 상기 열처리 중에 상기 저융점금속막과 상기 구리배선  
을 반응시켜 상기 저융점금속막과 상기 구리배선의 계면에 반응금속막을 형성하  
는 단계;

상기 절연막이 노출될 때까지 화학기계적 연마하여 상기 비아 내부에만 반  
응금속막이 남도록 하는 단계;

상기 절연막 및 상기 반응금속막 상에 보호막을 형성하고 상기 보호막의 소정영역을 식각하여 상기 반응금속막의 소정영역을 노출시키는 패드를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 8】**

제 7 항에 있어서,

상기 저융점금속막을 형성할 때에는, 알루미늄, 납, 및 은으로 이루어진 군에서 선택된 하나를 300℃ 이하의 온도에서 스퍼터링 방법을 이용하여 상기 구리 배선보다 얇은 두께로 증착하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 9】**

제 7 항에 있어서,

상기 열처리는 350~450℃의 온도에서 10분 내지 60분의 시간동안 수행하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 10】**

제 7 항에 있어서,

상기 보호막으로는 실리콘나이트라이드 및 실리콘옥시나이트라이드 중의 어느 하나를 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 11】**

제 7 항에 있어서,

상기 보호막의 소정영역을 식각하여 패드를 형성할 때에는, 상기 비아보다 좁은 폭으로 식각하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 12】

제 7 항에 있어서,

상기 비아의 내벽에는 구리배선의 확산방지를 위해 Ti, Ta, TiN, 및 TaN 으로 이루어진 군에서 선택된 하나로 이루어진 리프렉토리금속막을 형성한 후, 상기 리프렉토리금속막 상에 구리배선을 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 13】

제 12 항에 있어서,

상기 리프렉토리금속막은 200 내지 800Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

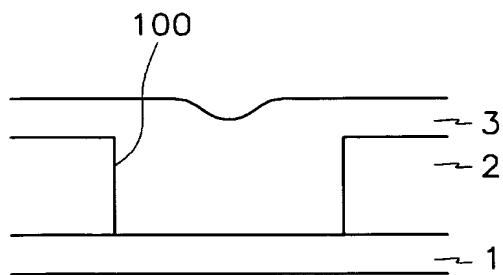
【청구항 14】

제 7 항에 있어서,

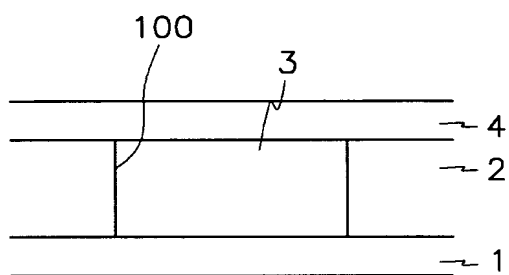
상기 화학기계적 연마 후에는 250~350℃의 온도에서 10분 내지 60분의 시간 동안 열처리하는 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

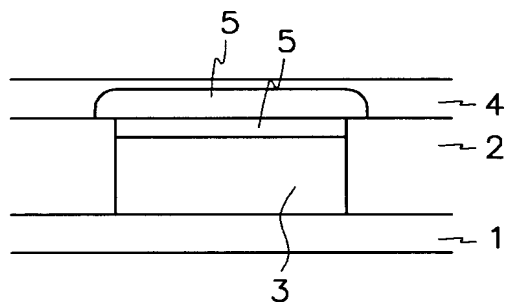
【도 1a】



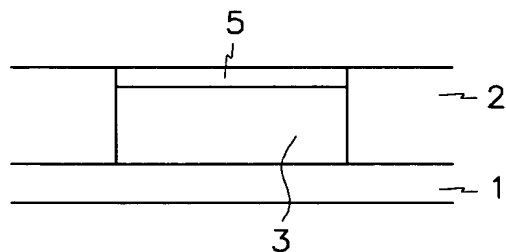
【도 1b】



【도 1c】

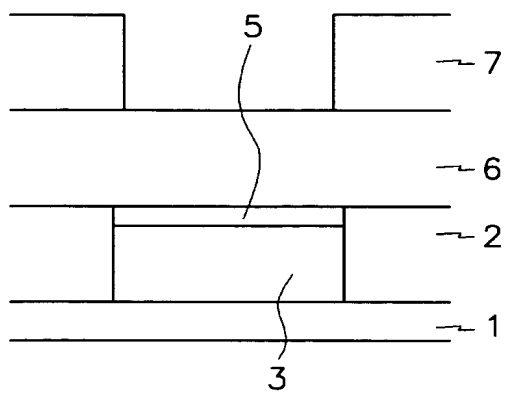


【도 1d】





【도 1e】



【도 1f】

